**Descritivo de operação**

Neste experimento foi necessário fazer a montagem prática de um controlador de motor de passo utilizando a PCB didádica com FPGA. Assim como no experimento anterior, foi preciso montar antes a lógica do circuito utilizando o *software* Quartus II.

Mais uma vez o circuito já tinha sido dado, só precisava-se montá-lo no Quartus e transportar a lógica para o FPGA.

O ci utilizado foi o 7474, o qual possui dois flip flops tipo D em sua estrutura interna.

Assim como no experimento anterior, existiram várias etapas durante a realização do experimento:

*1ª etapa - Divisores de frequência:*

Neste experimento, era necessário fazer o motor girar em vários tipos de frequência. Sabe-se que na PCB didática só temos apenas um clock fixo de 25MHz.

Para obter-se outros valores de frequências, foi necessário criar vários componentes no *Quartus II* que fizessem a função de “divisor de frequência”. Para isso, foi necessário utilizar a função *MegaWizard Plug-In Manager* do software, como pode ser visto na figura 1:

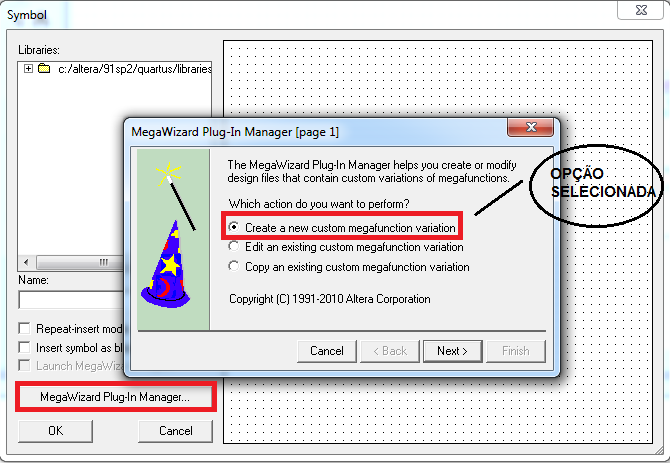


Figura 1 - Função “MegaWizard Plug-In Manager

Foi feito o mesmo processo do experimento anterior: ao clicar em next, apareceu uma série de opções para escolher, as quais determinavam o tipo de componente em que desejava-se criar. Escolheu-se então a opção Arithmetic e em seguida LPM\_COUNTER, como pode ser visto na figura 2:

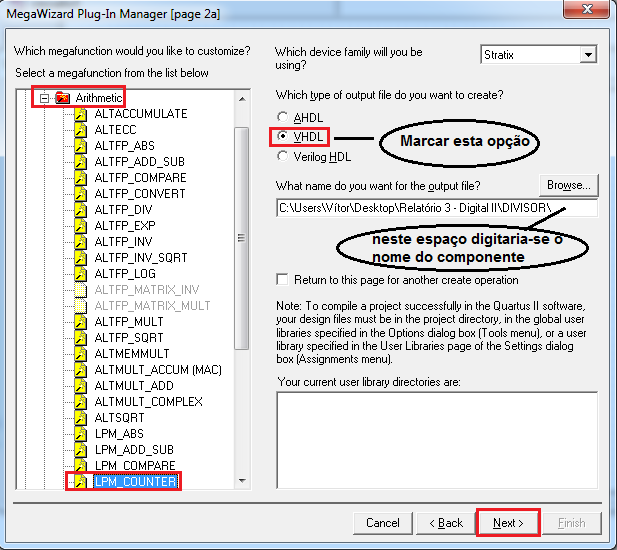


Figura 2 - Criando o componente divisor de frequência no Quartus II

Após isso, aparecia apenas algumas janelas, as quais deveria-se definir o módulo do divisor, o número de bits da saída Q e habilitar um terminal *carry-out* adicional.

Então bastava-se repetir este mesmo processo várias vezes, somente mudando o módulo do divisor, criando assim os clock’s com as demais frequências.

*2* ª *etapa – Montagem do circuito:*

Depois de ter feito os divisores de frequência, era só montar o restante do circuito. Os divisores de frequência são apenas os clock’s.

Como já foi dito, o CI utilizado foi o 7474. A princípio, iria-se utilizar o ULN2803, porém ele não continha na biblioteca do Quartus II, então utilizou-se o CI citado anteriormente, o qual possui função equivalente ao ULN2803.

Também já foi dito que o 7474 equivale a dois flip flops tipo D num circuito integrado. Então precisava-se utilizá-lo para montar o circuito da figura 3:



Figura - Circuito para controlar o motor de passo

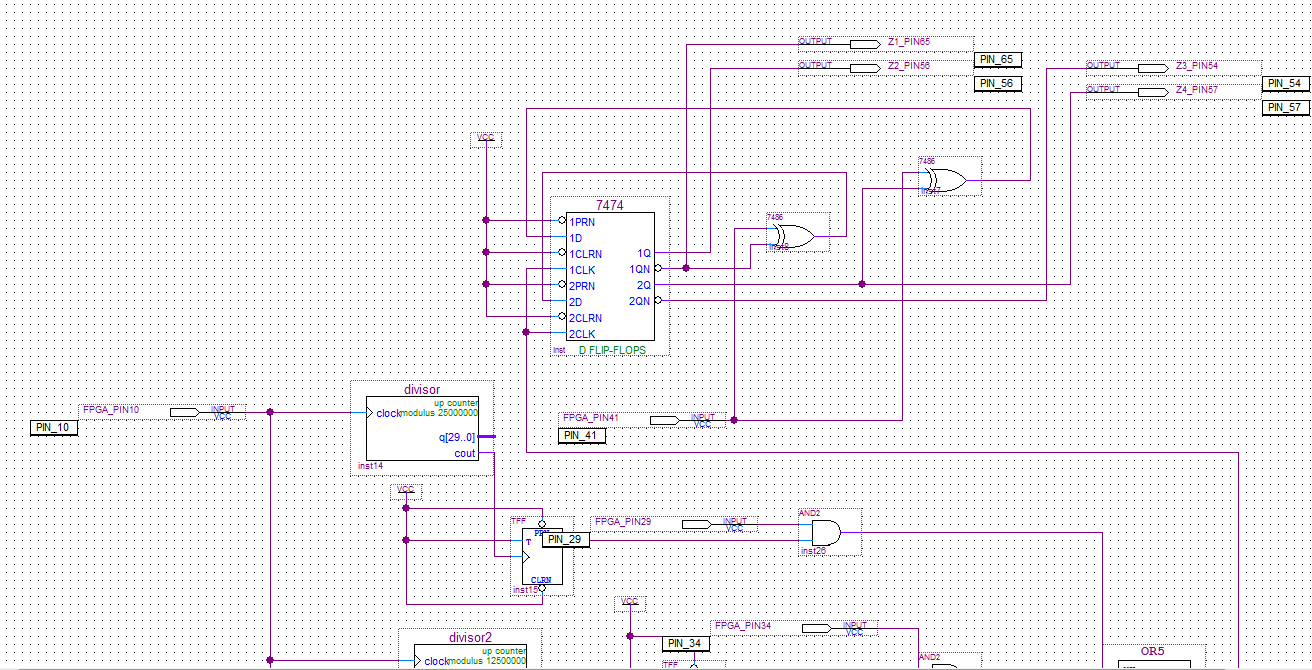
 Na montagem feita no Quartus II, os flip flop’s da figura 3 não aparecem, eles são representados diretamente pelo CI 7474, como pode ser visto pela figura 4 e 5, as quais mostram o circuito inteiro montado no software:

Figura - Parte superior do circuito montado no Quartus II

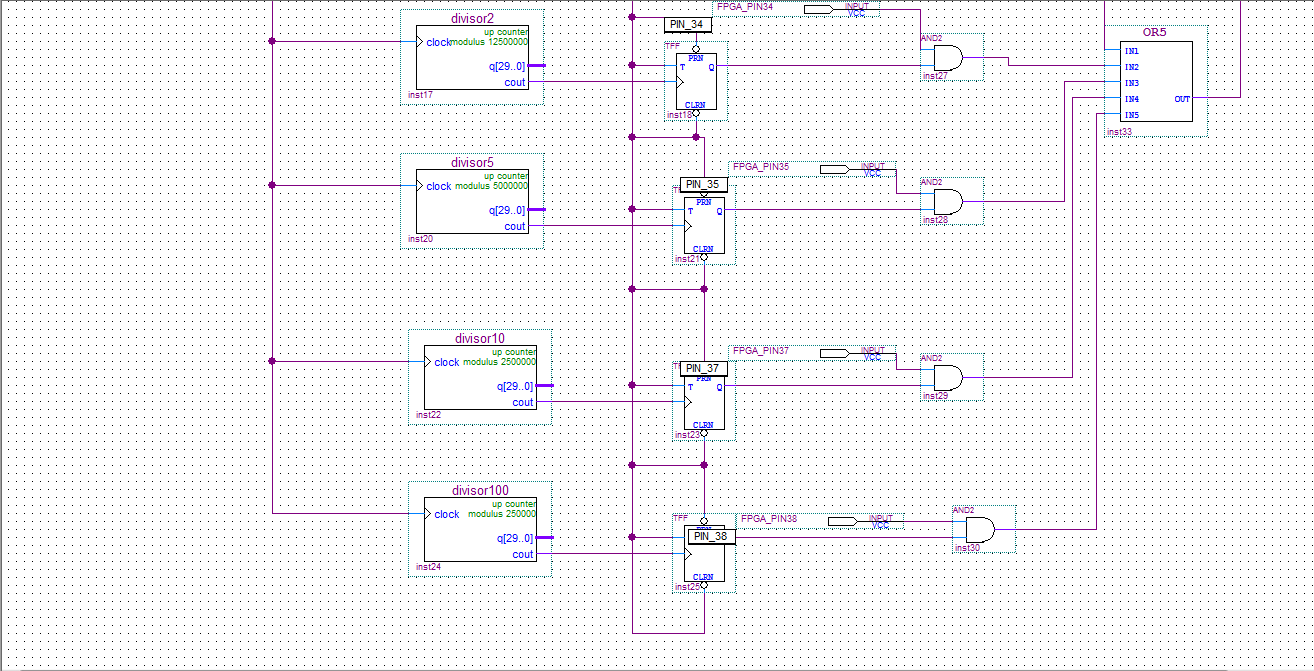


Figura - Parte inferior do circuito montado Quartus II

Como pode ser visto, em todos os clock’s há uma porta AND conectada a uma input, que depois vai para uma OR. São essas inputs que definirão qual clock estará sendo utilizado, pois elas se tratam de chaves que alternam entre V­CC­ e GND. Sabe-se que a saída Q dos flip flops tipo T estão sempre comutando (pois a entrada T está conectada a V­CC), ou seja, caso a input estiver em nível lógico alto, o clock do flip flop T será transmitido na saída da AND e sendo conduzido à entrada da OR.

*3ª etapa – Definição dos pinos*

Na figura 6 é possível ver o Pin Planner, que é onde define-se os pinos das inputs e outputs utilizadas no esquemático do circuito. A figura indica o que significa cada pino:

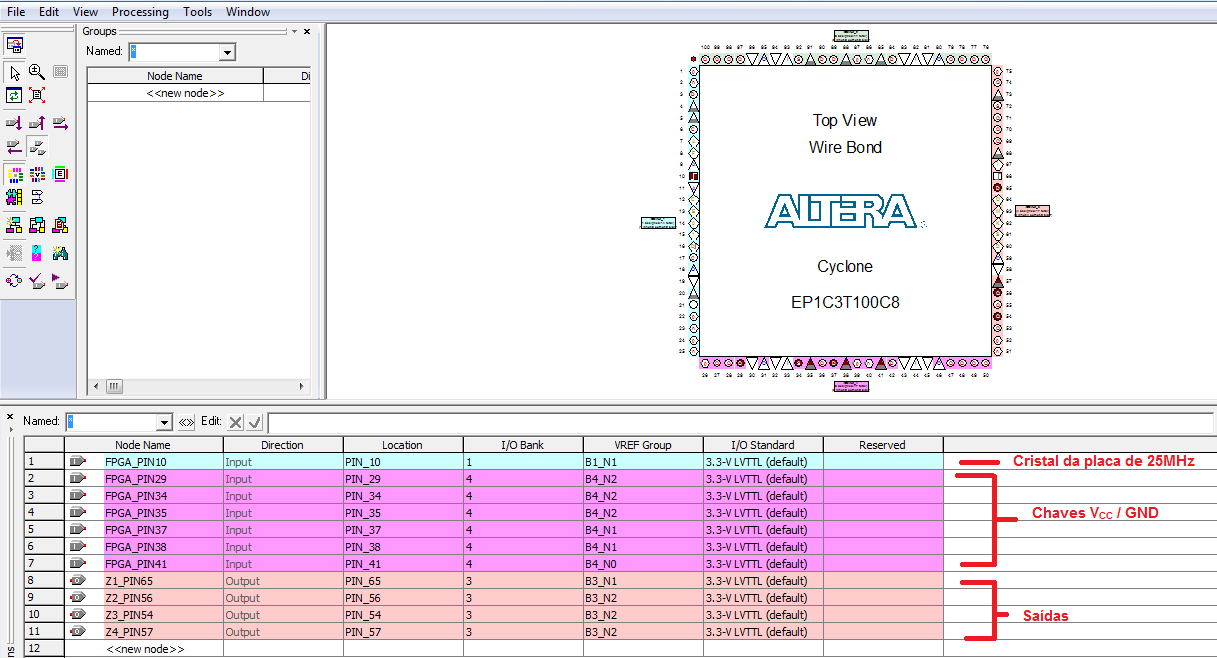
**

Figura - Definindo os pinos das inputs e outputs

*4ª etapa – Transportando a lógica para o FPGA*

Diferentemente do experimento anterior, neste foi preciso que se programasse a PCB para armanezar a lógica criada no Quartus II em sua memória flash. Para isso, foi necessário que utilizasse o menu *Programmer*, e selecionasse o modo “Action Script”. Não colocou-se a figura pois apenas aparece esta opção quando conectamos a PCB no computador, por isso não será possível mostrar.